

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-096686
 (43)Date of publication of application : 08.04.1997

(51)Int.Cl.

G04C 10/00
 G04G 1/00

(21)Application number : 07-252153
 (22)Date of filing : 29.09.1995

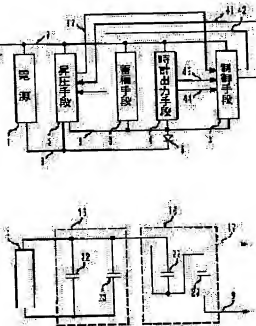
(71)Applicant : CITIZEN WATCH CO LTD
 (72)Inventor : NAKAJIMA AKIO

(54) ELECTRONIC CLOCK AND CHARGING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To charge an electronic clock efficiently even through a power supply having high internal resistance while shortening the charging time by providing a means for controlling the charging/discharging period of a boosting means and a reverse current prevention diode.

SOLUTION: First and second boosting circuits 15, 16 in a boosting means 2 are charged/discharged alternately and repeatedly, and the charging voltage of a first capacitor 22 constituting the second boosting circuit 16 is detected by means of a voltage detection circuit constituting a control means 5 thus regulating the period or frequency of first and second boost control signals 41, 42 through a signal generation circuit. The first and second capacitors 22, 23 of first and second boosting circuits 15, 16 are connected in series and feed an accumulation means 3 alternately with energy. When the charging voltage of accumulation means 3 increases, a reverse current prevention diode 6 is biased reversely and cut off to disconnect a clock output means 4 electrically from the low voltage side of power supply 1, i.e., the power supply voltage, and the driving energy of clock output means 4 is fed entirely from the accumulation means 3.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-96686

(43) 公開日 平成9年(1997)4月8日

(51) Int. Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
G 0 4 C 10/00			G 0 4 C 10/00	D
G 0 4 G 1/00	3 1 0		G 0 4 G 1/00	3 1 0 X
				3 1 0 Q

審査請求 未請求 請求項の数 6 O L (全 15 頁)

(21) 出願番号 特願平7-252153

(22) 出願日 平成7年(1995)9月29日

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 中島 章夫

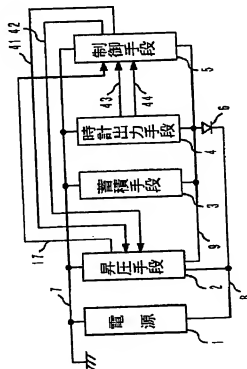
埼玉県所沢市大字下宮字武蔵840番地 シ
チズン時計株式会社技術研究所内

(54) 【発明の名称】 電子時計とその充電方法

(57) 【要約】

【課題】 充電時間を短縮し、内部抵抗が大きな電源でも効率よく電力を充電することが可能な昇圧回路を有する電子時計を提供することである。

【解決手段】 外部エネルギーにより電圧を発生する電源1と、電源1が出力する電圧を昇圧して昇圧電圧を出力する昇圧電圧信号9と容量出力信号17とを出力する昇圧手段2と、昇圧手段2が出力する昇圧電圧を充電する蓄積手段3と、クロック信号を出力する時計出力手段4と、時計出力手段4が出力するクロック信号と昇圧手段2が出力する容量出力信号17とにより昇圧手段2の充電電の周期を制御する制御手段5と、逆流防止ダイオード6とを有することを特徴とする電子時計とその充電方法。



【特許請求の範囲】

【請求項1】 外部エネルギーにより電圧を発生する電源と、電源が出力する電圧を昇圧して昇圧電圧を出力する昇圧電圧信号と容量出力信号とを出力する昇圧手段と、昇圧手段が出力する昇圧電圧を充電する蓄積手段と、クロック信号を出力する時計出力手段と、時計出力手段が出力するクロック信号と逆流防止ダイオードの容量出力信号とにより昇圧手段の充放電の周期を制御する制御手段と、逆流防止ダイオードとを有し、電源の電源電圧信号は昇圧手段の電源端子と逆流防止ダイオードのカソード端子に接続し、昇圧手段の容量出力信号は制御手段の電圧比較端子に接続し、時計出力手段のクロック信号は制御手段のクロック入力端子に接続し、制御手段の昇圧制御信号は昇圧手段に接続していることを特徴とする電子時計。

【請求項2】 外部エネルギーにより電圧を発生する電源と、第1の容量と第2の容量とを有し順番に充放電を繰り返す少なくとも2つ以上の昇圧回路で構成し電源が出力する電圧を昇圧して昇圧電圧を出力する昇圧電圧信号と第1の容量の容量出力信号とを出力する昇圧手段と、昇圧手段が出力する昇圧電圧を充電する蓄積手段と、クロック信号を出力する時計出力手段と、時計出力手段が出力するクロック信号と昇圧手段が出力する容量出力信号とにより昇圧手段の充放電の周期を制御する制御手段と、逆流防止ダイオードとを有することを特徴とする電子時計。

【請求項3】 外部エネルギーにより電圧を発生する電源と、第1の容量と第2の容量とを有し順番に充放電を繰り返す少なくとも2つ以上の昇圧回路で構成し電源が出力する電圧を昇圧して昇圧電圧を出力する昇圧電圧信号と第1の容量の容量出力信号とを出力する昇圧手段と、昇圧手段が出力する昇圧電圧を充電する蓄積手段と、クロック信号を出力する時計出力手段と、基準電圧を出力する基準電圧発生回路と、基準電圧と容量出力信号の電圧とを比較して検出信号を出力する電圧検出回路と、検出信号とクロック信号とにより昇圧制御信号を出力する信号発生回路とで構成し時計出力手段が出力するクロック信号と昇圧手段が出力する容量出力信号とにより昇圧手段の充放電の周期を制御する制御手段と、逆流防止ダイオードとを有することを特徴とする電子時計。

【請求項4】 外部エネルギーにより電圧を発生する電源と、第1の容量と第2の容量とを有し順番に充放電を繰り返す少なくとも2つ以上の昇圧回路で構成し電源が出力する電圧を昇圧して昇圧電圧を出力する昇圧電圧信号と第1の容量の容量出力信号とを出力する昇圧手段と、昇圧手段が出力する昇圧電圧を充電する蓄積手段と、クロック信号を出力する時計出力手段と、基準電圧を出力する基準電圧発生回路と、基準電圧と容量出力信

号の電圧とを比較して検出信号を出力する電圧検出回路と、検出信号によって昇圧制御信号の周期を決定するアップダウン制御回路とアップダウン制御回路が決定する周期に沿って動作する周波数調整回路と周波数調整回路の出力により昇圧制御信号を出力する昇圧制御回路を有する信号発生回路とで構成する制御手段と、逆流防止ダイオードとを有することを特徴とする電子時計。

【請求項5】 外部エネルギーにより電圧を発生する電源と、第1の容量と第2の容量とを有し順番に充放電を繰り返す少なくとも2つ以上の昇圧回路で構成し昇圧電圧信号と第1の容量の容量出力信号とを出力する昇圧手段と、昇圧手段が出力する昇圧電圧を充電する蓄積手段と、クロック信号を出力する時計出力手段と、基準電圧を出力する基準電圧発生回路と、基準電圧と容量出力信号の電圧とを比較して検出信号を出力する電圧検出回路と、検出信号とクロック信号とにより昇圧制御信号を出力する信号発生回路とで構成する制御手段と、逆流防止ダイオードとを有し、基準電圧と容量出力信号の電圧とを比較する検出信号とクロック信号とのタイミングにより周期が増減する昇圧制御信号を昇圧手段に出力し、その昇圧制御信号により1つの昇圧回路の容量を直列にして蓄積手段を放電し、その他の昇圧回路は内部の容量を電源に並列にして充電すること順番に行うことを特徴とする電子時計の充電方法。

【請求項6】 外部エネルギーにより電圧を発生する電源と、第1の容量と第2の容量とを有し順番に充放電を繰り返す少なくとも2つ以上の昇圧回路で構成し昇圧電圧信号と第1の容量の容量出力信号とを出力する昇圧手段と、昇圧手段が出力する昇圧電圧を充電する蓄積手段と、クロック信号を出力する時計出力手段と、基準電圧を出力する基準電圧発生回路と、検出信号を出力する電圧検出回路と、昇圧制御信号の周期を決定するアップダウン制御回路とアップダウン制御回路が決定する周期に沿って動作する周波数調整回路と周波数調整回路の出力により昇圧制御信号を出力する昇圧制御回路を有する信号発生回路とで構成する制御手段と、逆流防止ダイオードとを有し、基準電圧と容量出力信号の電圧とを比較する検出信号とクロック信号とによりアップダウン制御回路の昇圧制御信号の周期を決定し、周波数調整回路はアップダウン制御回路が決定する周期に沿って動作し、昇圧制御回路から周期が増減する昇圧制御信号を昇圧手段に出力し、その昇圧制御信号により1つの昇圧回路の容量を直列にして蓄積手段を放電し、その他の昇圧回路は内部の容量を電源に並列にして充電すること順番に行うことを特徴とする電子時計の充電方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は外部エネルギーにより比較的低い電圧の電気エネルギーを発生するエネルギー発生手段を電源とし、その電源の電圧を昇圧する昇圧

回路を用いる電子時計とその充電方法に関するものである。

【0002】

【従来の技術】従来の電子時計に使われる昇圧の技術として、例えば、特開昭48-60227号公報に開示された昇圧回路がある。図10は特開昭48-60227号公報に記載の昇圧回路の構成を示す回路図である。図11は図10に示す従来の昇圧回路の各々の容量に電荷を蓄積する様子を示す等価回路である。図12は図10に示す従来の昇圧回路の昇圧出力容量に電荷を蓄積する様子を示す等価回路である。

【0003】従来例の昇圧回路の構成を図10を用いて説明する。従来例の昇圧回路は電源Eと、スイッチ操作回路101と、複数(図では3個)の昇圧容量Cと、昇圧出力容量C₀と、昇圧容量Cと昇圧出力容量C₀との接続を切り替えるN型電界効果トランジスタ(以下NFETと記載する)S1~S10と、NFETS1~S10を制御するインバータI1とで構成し、RLは負荷抵抗である。

【0004】次に図10に示す従来例の昇圧回路の構成の回路図と、図11と図12に示す等価回路とを用いて従来例の昇圧回路の動作を説明する。まず、スイッチ操作回路101の出力信号P1を"ロウ"にして、NFETS1~S6を導通にし、NFETS7~S10を非導通にし、図11に示すように、3個の昇圧容量Cを各々電源Eと並列に接続して、ほぼ電源電圧に等しくなるまで充電する。

【0005】次に、スイッチ操作回路101の出力信号P1を"ハイ"にして、NFETS1~S6を非導通にし、NFETS7~S10を導通にし、図12に示すように、3個の昇圧容量Cと電源Eとを直列に接続して昇圧出力容量C₀を充電する。以後出力信号P1を一定時間と切り替えることにより、昇圧出力容量C₀に昇圧出力を得ようとする昇圧回路である。

【0006】

【発明が解決しようとする課題】しかしながら、従来例の昇圧回路は、昇圧出力容量C₀に充電するときに、複数の昇圧容量Cに電源も直列に接続するが、昇圧出力容量C₀の容量値が大きいため、内部抵抗の大きい電源では回路の時定数が大きくなり、昇圧出力容量C₀の充電に時間がかかり、昇圧出力容量C₀に効率良く電力を取り出せないという第1の課題がある。

【0007】さらに、従来例の昇圧回路を構成する昇圧出力容量C₀の出力電圧は、図11のように昇圧容量Cが電源Eと並列に接続し、昇圧容量Cを充電している時は、負荷RLの電力消費に従って出力電圧が減少し、また図12のように昇圧容量Cが電源Eと直列に接続し、昇圧出力容量C₀を充電している時は、出力電圧が増大するため、出力電圧に大きな脈動が発生するという第2の課題がある。

【0008】また、従来例の昇圧回路は、昇圧容量C₀の充電電圧を一定の時間で切り替えているため、電源の電圧が変動すると、昇圧出力容量C₀に印加される電圧が変動し、充電効率が低下し、負荷RLへの出力電圧が変動するという第3の課題がある。

【0009】本発明の目的は、上記の課題を解決し、充電時間を短縮し、内部抵抗が大きな電源でも効率よく電力を充電することが可能な昇圧回路を有する電子時計を提供することである。

【0010】

【課題を解決するための手段】上記目的を達成するためには、本発明の昇圧回路を用いる電子時計の構成と充電方法は、下記記載のようにする。

【0011】外部エネルギーにより電圧を発生する電源と、電源が出力する電圧を昇圧して昇圧電圧を出力する昇圧電圧信号と容量出力信号とを出力する昇圧手段と、昇圧手段が出力する昇圧電圧を充電する蓄積手段と、クロック信号を出力する時計出力手段と、時計出力手段が出力するクロック信号と昇圧手段が出力する容量出力信号とにより昇圧手段の充電電圧の周期を制御する制御手段と、逆流防止ダイオードとを有し、電源の電源電圧信号は昇圧手段の電源端子と逆流防止ダイオードのカソード端子に接続し、昇圧手段の昇圧電圧信号は蓄積手段と時計出力手段と制御手段との電源端子と逆流防止ダイオードのアノード端子とに接続し、昇圧手段の容量出力信号は制御手段の電圧比較端子に接続し、時計出力手段のクロック信号は制御手段のクロック入力端子に接続し、制御手段の昇圧制御信号は昇圧手段に接続していることを特徴とする。

【0012】外部エネルギーにより電圧を発生する電源と、第1の容量と第2の容量とを有し順番に充電電圧を繰り返す少なくとも2つ以上の昇圧回路で構成し電源が出力する電圧を昇圧して昇圧電圧を出力する昇圧電圧信号と第1の容量の容量出力信号とを出力する昇圧手段と、昇圧手段が出力する昇圧電圧を充電する蓄積手段と、クロック信号を出力する時計出力手段と、時計出力手段が出力するクロック信号と昇圧手段が出力する容量出力信号とにより昇圧手段の充電電圧の周期を制御する制御手段と、逆流防止ダイオードとを有することを特徴とする。

【0013】外部エネルギーにより電圧を発生する電源と、第1の容量と第2の容量とを有し順番に充電電圧を繰り返す少なくとも2つ以上の昇圧回路で構成し電源が出力する電圧を昇圧して昇圧電圧を出力する昇圧電圧信号と第1の容量の容量出力信号とを出力する昇圧手段と、昇圧手段が出力する昇圧電圧を充電する蓄積手段と、クロック信号を出力する時計出力手段と、基準電圧を出力する基準電圧発生回路と、基準電圧と容量出力信号の電圧とを比較して検出信号を出力する電圧検出回路と、検出信号とクロック信号とにより昇圧制御信号を出力する信号発生回路とで構成し時計出力手段が出力するクロック

ク信号と昇圧手段が出力する容量出力信号とにより昇圧手段の充放電の周期を制御する制御手段と、逆流防止ダイオードとを有することを特徴とする。

【0014】外部エネルギーにより電圧を発生する電源と、第1の容量と第2の容量とを有し順番に充放電を繰り返す少なくとも2つ以上の昇圧回路で構成し電源が出力する電圧を昇圧して昇圧電圧を出力する昇圧電圧信号と第1の容量の容量出力信号とを出力する昇圧手段と、昇圧手段が出力する昇圧電圧を充電する蓄積手段と、クロック信号を出力する時計出力手段と、基準電圧を出力する基準電圧発生回路と、基準電圧と容量出力信号の電圧とを比較して検出信号を出力する電圧検出回路と、検出信号によって昇圧制御信号の周期を決定するアップダウン制御回路とアップダウン制御回路が決定する周期に沿って動作する周波数調整回路と周波数調整回路の出力により昇圧制御信号を出力する昇圧制御回路を有する信号発生回路とで構成する制御手段と、逆流防止ダイオードとを有することを特徴とする。

【0015】外部エネルギーにより電圧を発生する電源と、第1の容量と第2の容量とを有し順番に充放電を繰り返す少なくとも2つ以上の昇圧回路で構成し昇圧電圧信号と第1の容量の容量出力信号とを出力する昇圧手段と、昇圧手段が出力する昇圧電圧を充電する蓄積手段と、クロック信号を出力する時計出力手段と、基準電圧を出力する基準電圧発生回路と、基準電圧と容量出力信号の電圧とを比較して検出信号を出力する電圧検出回路と、検出信号とクロック信号とにより昇圧制御信号を出力する信号発生回路とで構成する制御手段と、逆流防止ダイオードとを有し、基準電圧と容量出力信号の電圧とを比較する検出信号とクロック信号とのタイミングにより周期が増減する昇圧制御信号を昇圧手段に出力し、その昇圧制御信号により1つの昇圧回路の容量を直列にして蓄積手段を放電し、その他の昇圧回路は内部の容量を電源に並列にして充電すること順番に行うことを特徴とする。

【0016】外部エネルギーにより電圧を発生する電源と、第1の容量と第2の容量とを有し順番に充放電を繰り返す少なくとも2つ以上の昇圧回路で構成し昇圧電圧信号と第1の容量の容量出力信号とを出力する昇圧手段と、昇圧手段が出力する昇圧電圧を充電する蓄積手段と、クロック信号を出力する時計出力手段と、基準電圧を出力する基準電圧発生回路と、検出信号を出力する電圧検出回路と、昇圧制御信号の周期を決定するアップダウン制御回路とアップダウン制御回路が決定する周期に沿って動作する周波数調整回路と周波数調整回路の出力により昇圧制御信号を出力する昇圧制御回路を有する信号発生回路とで構成する制御手段と、逆流防止ダイオードとを有し、基準電圧と容量出力信号の電圧とを比較する検出信号とクロック信号とによりアップダウン制御回路の昇圧制御信号の周期を決定し、周波数調整回路はア

ップダウン制御回路が決定する周期に沿って動作し、昇圧制御回路から周期が増減する昇圧制御信号を昇圧手段に出力し、その昇圧制御信号により1つの昇圧回路の容量を直列にして蓄積手段を放電し、その他の昇圧回路は内部の容量を電源に並列にして充電すること順番に行うことを特徴とする。

【0017】

【発明の実施の形態】以下、本発明による実施例を図を用いて説明する。図1は本発明の実施例における電子時計の回路構成を示すブロック図である。

【0018】図1に示す本発明の実施例における電子時計の構成は、電源1と昇圧手段2と蓄積手段3と時計出力手段4と制御手段5と逆流防止ダイオード6とで構成している。

【0019】電源1の高電位側はグランド信号7に接続し、グランド信号7は昇圧手段2と蓄積手段3と時計出力手段4と制御手段5とのグランド端子に接続し、また電源1の低電位側は電源電圧信号8に接続し、電源電圧信号8は昇圧手段2の電源端子と、逆流防止ダイオード6のカソード端子に接続している。

【0020】逆流防止ダイオード6のアノード端子は昇圧電圧信号9に接続し、昇圧電圧信号9は昇圧手段2の昇圧出力端子と、蓄積手段3と時計出力手段4と制御手段5との電源端子とに接続している。

【0021】また、昇圧手段2の容量出力端子は容量出力信号17を介して、制御手段5の電圧比較端子に接続している。さらに、時計出力手段4の第1のクロック入力端子は第1のクロック信号43を介して、制御手段5の第1のクロック入力端子に接続し、時計出力手段4の第2のクロック出力端子は第2のクロック信号44を介して、制御手段5の第2のクロック入力端子に接続している。

【0022】さらに、制御手段5の第1の昇圧制御出力端子は第1の昇圧制御信号41を介して、昇圧手段2の第1の昇圧制御入力端子に接続し、制御手段5の第2の昇圧制御出力端子は第2の昇圧制御信号42を介して、昇圧手段2の第2の昇圧制御入力端子に接続している。

【0023】本発明の実施例に用いる電源1は、ゼーベック効果の原理にしたがって発電する熱電式発電器であり、図示していないが、P型半導体材料とN型半導体材料とを直列に接続する熱電対を多数個組み合わせたモジュールである。

【0024】熱電式発電器は一方を熱極、他方を冷極として温度差を与えることによって発電し、腕時計の電源として使うには、例えば、腕時計内部で人間の皮膚に接する裏面を熱極、大気に接する表面を冷極となるように構成する。

【0025】2つのクロック信号を出力する時計出力手段4の内部構成は図示していないが、水晶発振回路、分周回路、波形生成回路、駆動回路、電気機械変換器、輪

列、表示等からなる一般的な水晶時計である。

【0026】次に、本発明の電子時計を構成する各ブロックの回路構成について図を用いて説明する。図2は本発明の実施例における電源1と昇圧手段2との内部構成を示す回路図である。

【0027】図2に示す電源1は、熱電素子対を多数個組み合わせた熱電式発電器であり、等価的に電圧源20と内部抵抗21とで表し、図1に示す時計出力手段4を起動させるに必要な1〜2ボルト程度の開放電圧を得るために、数千個の熱電素子対を用い、内部抵抗21が数十キロオーム以上になる電源である。

【0028】図2に示す電源1の内部抵抗21は、電圧源20に対して高電位側に接地しているが、これは等価的に表しただけであり、電圧源20の内部に等分に分布していると考えるのが一般的である。

【0029】また、図2に示す昇圧手段2は、第1の昇圧回路15と第2の昇圧回路16とで構成しており、以下に第1の昇圧回路15と第2の昇圧回路16との構成を説明する。

【0030】図2に示す第1の昇圧回路15と第2の昇圧回路16とは、それぞれ同じ構成の昇圧回路であり、第1の容量22と第2の容量23と第1のNチャネルMOSトランジスタ（以下NMOSTと記載する）24と第2のNMOST25と第3のNMOST26と第4のNMOST27とPチャネルMOSトランジスタ（以下PMOSTと記載する）28とで構成している。

【0031】次に、第1の昇圧回路15と第2の昇圧回路16との構成要素の接続状態について説明する。

【0032】電源1のグラウンド端子が接続するグラウンド信号7は、第1の昇圧回路15と第2の昇圧回路16とを構成する第1の容量22の一方の端子とPMOST28の一方の端子とに接続し、電源1の電源電圧端子に接続する電源電圧信号8は、第1の昇圧回路15と第2の昇圧回路16とを構成する第1のNMOST24と第2のNMOST25との一方の端子に接続している。

【0033】第1の昇圧回路15と第2の昇圧回路16とを構成する第1の容量22の他方の端子は、第1のNMOST24の他方の端子と第3のNMOST26の一方の端子とに接続し、また第2の昇圧回路16を構成する第1の容量22の他方の端子は、容量出力信号17に接続し、容量出力信号17は図1に示す制御手段5の電圧比較端子に接続している。

【0034】第1の昇圧回路15と第2の昇圧回路16とを構成するPMOST28の他方の端子は、第3のNMOST26の他方の端子と第2の容量23の一方の端子とに接続している。

【0035】第1の昇圧回路15と第2の昇圧回路16とを構成する第2の容量23の他方の端子は、第2のNMOST25の他方の端子と第4のNMOST27の一方の端子とに接続している。

【0036】第1の昇圧回路15と第2の昇圧回路16とを構成する第4のNMOST27の他方の端子は、昇圧手段2の昇圧電圧信号9にそれぞれ接続し、昇圧電圧信号9は図1に示す蓄積手段3と時計出力手段4と制御手段5との電源端子と、逆流防止ダイオード6のアノード端子とに接続している。

【0037】第1の昇圧回路15を構成する第1のNMOST24と第2のNMOST25とのゲート端子は、第2の昇圧回路16を構成する第3のNMOST26と第4のNMOST27とPMOST28とのゲート端子に接続し、図1に示す制御手段5の第1の昇圧制御出力端子に接続する第1の昇圧制御信号41に接続している。

【0038】また、第1の昇圧回路15を構成する第3のNMOST26と第4のNMOST27とPMOST28とのゲート端子は、第2の昇圧回路16を構成する第1のNMOST24と第2のNMOST25とのゲート端子に接続し、図1に示す制御手段5の第2の昇圧制御出力端子に接続する第2の昇圧制御信号42に接続している。

【0039】図3は昇圧手段2の第1の昇圧回路15を充電し、第2の昇圧回路16を放電する様子を示す図であり、図4は昇圧手段2の第1の昇圧回路15を放電し、第2の昇圧回路16を充電する様子を示す図である。

【0040】図3に示す昇圧手段2は、第1の昇圧回路15を構成する第1の容量22と第2の容量23とが、電源1のグラウンド端子と電源端子とに並列に接続し、第2の昇圧回路16を構成する第1の容量22の一方の端子が、電源1のグラウンド端子に接続し、第1の容量22の他方の端子が第2の容量23の一方の端子と容量出力信号17とに接続し、第2の容量23の他方の端子が昇圧電圧信号9に接続している。

【0041】図4に示す昇圧手段2は、第2の昇圧回路16を構成する第1の容量22と第2の容量23とが、電源1のグラウンド端子と電源端子とに並列に接続し、第1の昇圧回路15を構成する第1の容量22の一方の端子が、電源1のグラウンド端子に接続し、第1の容量22の他方の端子が第2の容量23の一方の端子に接続し、第2の容量23の他方の端子が昇圧電圧信号9に接続している。

【0042】図5は本発明の実施例における電子時計に用いる制御手段5の構成を示す回路図である。図5に示す制御回路は、基準電圧発生回路10と電圧検出回路11と信号発生回路12とで構成している。

【0043】図5に示す制御手段5を構成する基準電圧発生回路10は、公知の定電圧回路であり、抵抗34と、2つのPMOST30、31と、2つのNMOST32、33と、オペアンプ35と、安定化容量36とで構成している。

【0044】また図5に示す制御手段5を構成する電圧検出回路11は、2つの抵抗37、38と、NMOST39と、コンパレータ40とで構成している。

【0045】さらに図5に示す制御手段5を構成する信号発生回路12はブロック図で示し、アッパダウン制御回路45と、禁止回路46と、昇圧制御回路47と、周波数調整回路48と、システムリセット回路49とで構成し、各回路の詳細な説明は後述する。

【0046】次に、図5に示す制御手段5を構成する基準電圧発生回路10と電圧検出回路11との各構成要素の接続状態について説明する。

【0047】まず基準電圧発生回路10の接続状態について説明する。図1に示す電源1に接続するグランド信号7は、PMOST31と抵抗34と安定化容量36との一方の端子と、オペアンプ35のグランド端子とに接続している。

【0048】また図1に示す昇圧手段2に接続する昇圧電圧信号9は、2つのNMOST32とNMOST33との一方の端子と、オペアンプ35の電源端子とに接続している。

【0049】抵抗34の他方の端子は、PMOST30の一方の端子に接続し、PMOST30の他方の端子は、NMOST32の他方の端子と、NMOST32とNMOST33との制御端子に接続している。

【0050】NMOST33の他方の端子は、PMOST31の他方の端子と、PMOST30とPMOST31との制御端子と、オペアンプ35の一方の入力端子とに接続し、オペアンプ35の他方の入力端子は、オペアンプ35の出力端子と、安定化容量36の他方の端子とに接続し、オペアンプ35の出力である基準電圧信号13は、電圧検出回路11を構成するコンパレータ40の非反転入力端子に接続している。

【0051】基準電圧発生回路10の基準電圧は、PMOST31のしきい値電圧によって決定している。

【0052】次に、電圧検出回路11の接続状態について説明する。図1に示す電源1に接続するグランド信号7は、抵抗37の一方の端子と、コンパレータ40のグランド端子とに接続し、図1に示す昇圧手段2に接続する昇圧電圧信号9は、コンパレータ40の電源端子に接続している。

【0053】また図1に示す昇圧手段2に接続する容量出力信号17は、NMOST39の一方の端子に接続し、NMOST39の制御端子は、信号発生回路12が出力する電圧検出制御信号18に接続し、NMOST39の他方の端子は、抵抗38の一方の端子に接続している。

【0054】抵抗38の他方の端子は、抵抗37の他方の端子とコンパレータ40の反転入力端子とに接続し、コンパレータ40の非反転入力端子は前述の基準電圧発生回路10の出力である基準電圧信号13に接続し、コ

ンパレータ40の出力端子は、検出信号19を介して信号発生回路12に接続している。

【0055】図6は本発明の実施例における電子時計の制御手段5を構成する信号発生回路の内部構成を示す回路図であり、図6に示す信号発生回路は図5に示すように、アッパダウン制御回路45と、禁止回路46と、昇圧制御回路47と、周波数調整回路48と、システムリセット回路49とで構成している。

【0056】図6に示す信号発生回路を構成するアッパダウン制御回路45は、第1のセット・リセット・フリップフロップ（以下SRFFと記載する）50と、一般的な74HC191と同等の4ビット構成のバイナリ・アッパ・ダウン・カウンタ（以下アッパダウンカウンタと記載する）51と、2入力ノア52と、2入力オア54と、第1の4入力アンド56と、第2の4入力アンド57と、4ビット構成の第1のトライステート・バッファ・ブロック（以下TBBと記載する）58と、第2のTBB59、第3のTBB60と、3つのインバータとで構成している。

【0057】図6に示す信号発生回路を構成する禁止回路46は、第1のデータ・フリップフロップ（以下DFFと記載する）64と、第2のDFF65と、2入力アンド66と、第1の2入力アンド68とで構成している。

【0058】図6に示す信号発生回路を構成する昇圧制御回路47は、第2のSRFF69と、第2の2入力アンド77と、第3の2入力アンド78とで構成している。

【0059】図6に示す信号発生回路を構成する周波数調整回路48は、3入力オア67と、一般的な4526と同等の4ビット構成のバイナリ・ダウン・カウンタ（以下ダウンカウンタと記載する）70と、第3から第8のDFF71、72、73、74、75、76と第1から第5の3入力アンド79、80、81、82、83と、4つのインバータとで構成している。

【0060】図6に示す信号発生回路を構成するシステムリセット回路49は、抵抗61と、容量62と、インバータとで構成している。

【0061】次に、図6に示す信号発生回路の各回路を構成する構成要素の接続状態を説明する。システムリセット回路49を構成する抵抗61の一方の端子は、図1に示す電源1に接続するグランド信号7に接続し、抵抗61の他方の端子は、容量62の一方の端子に接続し、容量62の他方の端子は、図1に示す昇圧手段2に接続する昇圧電圧信号9に接続している。

【0062】抵抗61の他方の端子と容量62の一方の端子との接続点は、システムリセット信号の反転信号であり、インバータを介して禁止回路46を構成する第1のDFF64と第2のDFF65とのリセット端子と、アッパダウン制御回路45を構成する第1のTBB58

のイネーブル端子と2入力ノアの1つ目の入力端子と、周波数調整回路48を構成する3入力オア67の1つ目の入力端子と第3のDFF71のセット端子と第4から第8のDFF72、73、74、75、76のリセット端子と、昇圧制御回路47を構成する第2のSRFF69のリセット端子とに接続している。

【0063】禁止回路46を構成する第1のDFF64のデータ端子は、グランド信号7に接続し、第1のDFF64と第2のDFF65とのクロック端子と第1の2入力アンド68の1つ目の入力端子とは、図1に示す時計出力手段4が出力する第2のクロック信号44に接続している。

【0064】第1のDFF64の出力は第2のDFF65のデータ端子と2入力ナンド66の1つ目の入力端子とに接続し、2入力ナンド66の2つ目の入力端子は第2のDFF65の反転出力に接続している。

【0065】2入力ナンド66の出力は、第1の2入力アンド68の2つ目の入力端子と、周波数調整手段48を構成する第1から第5の3入力アンド79、80、81、82、83のそれぞれの1つ目の入力端子とに接続し、第1の2入力アンド68の出力は、周波数調整手段48を構成するダウンカウンタ70のクロック端子に接続している。

【0066】周波数調整手段48を構成する第3のDFF71のデータ端子は、第3のDFF71の反転出力に接続し、第3のDFF71のクロック端子は、ダウンカウンタ70のゼロ出力に接続し、第3のDFF71の出力は次段の第4のDFF72のデータ端子に接続している。

【0067】第4から第8のDFF72、73、74、75、76のクロック端子は、図1に示す時計出力手段4が出力する第1のクロック信号43に接続している。

【0068】第4のDFF72の出力は、次段の第5のDFF73のデータ端子と第1の3入力アンド79の2つ目の入力端子とに接続している。

【0069】第5のDFF73の出力は、次段の第6のDFF74のデータ端子と第2の3入力アンド80の2つ目の入力端子とインバータの入力端子とに接続し、インバータの出力である第5のDFF73の反転出力は第1の3入力アンド79の3つ目の入力端子に接続している。

【0070】第6のDFF74の出力は、次段の第7のDFF75のデータ端子と第3の3入力アンド81の2つ目の入力端子とインバータの入力端子とに接続し、インバータの出力である第6のDFF74の反転出力は第2の3入力アンド80の3つ目の入力端子に接続している。

【0071】第7のDFF75の出力は、次段の第8のDFF76のデータ端子と、第4の3入力アンド82の2つ目の入力端子と、インバータの入力端子と、昇圧制

御回路47を構成する第2の2入力アンド77の1つ目の入力端子と、第2のSRFF69のセット端子とに接続し、インバータの出力である第7のDFF75の反転出力は、第3の3入力アンド81の3つ目の入力端子と、第5の3入力アンド83の2つ目の入力端子と、昇圧制御回路47を構成する第3の2入力アンド78の1つ目の入力端子とに接続している。

【0072】第8のDFF76の出力は、第5の3入力アンド83の3つ目の入力端子とインバータの入力端子とに接続し、インバータの出力である第8のDFF76の反転出力は第4の3入力アンド82の3つ目の入力端子に接続している。

【0073】第1の3入力アンド79の出力は、アップダウン制御回路45を構成する第1のSRFF50のリセット端子に接続し、第2の3入力アンド80の出力は電圧検出制御信号18を介して、図5に示す電圧検出回路11に構成するNMOST39の制御端子に接続している。

【0074】第3の3入力アンド81の出力は、アップダウン制御回路45を構成するアップダウンカウンタ51のクロック端子に接続し、第4の3入力アンド82と第5の3入力アンド83との出力は、3入力オア67に2つ目と3つ目の入力端子に接続している。

【0075】3入力オア67の出力は、ダウンカウンタ70のイネーブル端子に接続し、ダウンカウンタ70の4ビットのデータ入力端子は、アップダウン制御回路45を構成するアップダウンカウンタ51の4ビットの出力と、第1の4入力アンド56のそれぞれの入力端子と、上位3ビットがインバータで反転した信号が接続する第2の4入力アンド57に接続している。

【0076】アップダウン制御回路45を構成する第1のSRFF50のセット端子は、図5に示す電圧検出回路11の出力である検出信号19が接続し、第1のSRFF50の出力は、アップダウンカウンタ51のアップダウン端子に接続している。

【0077】第1の4入力アンド56の出力は、2入力オア54の1つ目の入力端子と、第2のTBB59のイネーブル端子とに接続し、第2の4入力アンド57の出力は、2入力オア54の2つ目の入力端子と、第3のTBB60のイネーブル端子とに接続している。

【0078】2入力オア54の出力は、2入力ノア52の2つ目の入力端子に接続し、2入力ノア52の出力はアップダウンカウンタ51のロード端子に接続している。

【0079】第1のTBB58と第2のTBB59と第3のTBB60との4ビットの出力は、それぞれ接続しアップダウンカウンタ51の4ビットのデータ端子に接続している。

【0080】ここで用いる第1のTBB58はイネーブル端子に“ハイ”の信号が入力するとヘキサの“7”を

出力し、第2のTBB59はイネーブル端子に“ハイ”の信号が入力するとヘキサの“E”を出力し、第3のTBB60はイネーブル端子に“ハイ”の信号が入力するとヘキサの“2”を出力するトライステートバッファである。

【0081】昇圧制御回路47を構成する第2のSRFF69の出力は、第2の2入力アンド77と第3の2入力アンド78との2つ目の入力端子にそれぞれ接続し、第2の2入力アンド77の出力は、第1の昇圧制御信号41を介して、図2に示す昇圧手段2に接続し、第3の2入力アンド78の出力は、第2の昇圧制御信号42を介して、図2に示す昇圧手段2に接続している。

【0082】アップダウン制御回路45を構成する第2のTBB59は、アップダウンカウンタ51のカウン트가上限のヘキサの“F”になったときにオーバーフローしないように、アップダウンカウンタ51のデータをヘキサの“E”に戻すためのものである。

【0083】またアップダウン制御回路45を構成する第3のTBB60は、アップダウンカウンタ51のカウン트가下限のヘキサの“1”になったときにオーバーフローしないように、アップダウンカウンタ51のデータをヘキサの“2”に戻すためのものである。

【0084】次に、本発明の実施例における電子時計の充電方法について図を用いて説明する。

【0085】図7は本発明の実施例における電子時計の起動時の制御手段の信号の様子を示す波形図である。

【0086】まず、図1に示す電源1の熱電式発電器の熱極と冷極とに温度差が発生すると電圧が発生し、昇圧手段2と逆流防止ダイオード6のカソード端子とに負の1～2ボルト程度の電圧を供給する。

【0087】電圧発生直前の逆流防止ダイオード6のアノード端子は、ほぼ電源1の高電位側のグランド電位になっているが、逆流防止ダイオード6のカソード端子に負の1～2ボルト程度の電圧が発生すると、逆流防止ダイオード6は順方向バイアスされて導通し、アノード端子にカソード端子とほぼ等しい電圧が発生する。

【0088】逆流防止ダイオード6のアノード端子にカソード端子とほぼ等しい電圧が発生すると、蓄積手段3と時計出力手段4と制御手段5との電源端子が接続する昇圧電圧信号9には、負の1～2ボルト程度の電圧が発生する。

【0089】しかしこの時、時計手段4や制御手段5はまだ動作を始めていないため、昇圧手段2も昇圧動作を始めていない。

【0090】また、時計出力手段4の電源端子に負の1～2ボルト程度の電圧が供給されると、時計出力手段4は動作を開始する。これにともなう一定時間後に、時計出力手段4は第1のクロック信号43に比較的周波数の高い第1のクロック信号と、第2のクロック信号44に比較的周波数の低い第2のクロック信号とを出力す

る。本発明の実施例では第1のクロック信号は第2のクロック信号の4倍の周波数を用いている。

【0091】一方、制御手段5の電源端子に負の1～2ボルト程度の電圧が供給されると、図6に示す制御手段5を構成する信号発生回路12のシステムリセット信号はクロック信号より前に発生する。

【0092】図7に示すように、システムリセット信号が発生すると、システムリセット信号は、禁止回路46を構成する第1のDFF64と第2のDFF65と、周波数調整回路48を構成する第4から第8のDFF72、73、74、75、76と、昇圧制御回路47を構成する第2のSRFF69とのリセット端子に作用し、それぞれの出力を“ロウ”にし、また周波数調整回路48を構成する第3のDFF71のセット端子に作用し、第3のDFF71の出力を“ハイ”にする。

【0093】昇圧制御回路47を構成する第2のSRFF69の出力が“ロウ”になると、第2の2入力アンド77と第3の2入力アンド78との出力である第1の昇圧制御信号41と第2の昇圧制御信号42とは“ロウ”になる。

【0094】第1の昇圧制御信号41と第2の昇圧制御信号42とが“ロウ”になると、図2に示す昇圧手段2を構成する第1の昇圧回路15と第2の昇圧回路16とは、どちらも動作せず昇圧手段2の出力である昇圧電圧信号9には、電源1が発生した負の1～2ボルト程度の電圧出力されたままである。

【0095】またシステムリセット信号は、アップダウン制御回路45を構成する第1のTBB58のイネーブル端子に作用し、第1のTBB58はアップダウンカウンタ51の4ビットのデータ端子にヘキサの“7”を出力する。

【0096】また同時にシステムリセット信号は、アップダウン制御回路45を構成する2入力アノード2を介してアップダウンカウンタ51のロード端子に作用し、アップダウンカウンタ51の4ビットの出力は、ヘキサの“7”を周波数調整手段48を構成するダウンカウンタ70の4ビットのデータ端子に出力する。

【0097】さらにシステムリセット信号は、周波数調整手段48を構成する3入力アノード6を介してダウンカウンタ70のイネーブル端子に作用し、ダウンカウンタ70にヘキサの“7”にアプリーツして、ダウンカウンタ70の出力を“ロウ”にする。

【0098】次にシステムリセット信号が発生した後、一定時間後に、時計出力手段4は第1のクロック信号と第2のクロック信号とを出力する。

【0099】周波数調整回路48を構成する第4から第8のDFF72、73、74、75、76は、第1のクロック信号43が接続しており、また第3のDFF71の出力は“ハイ”であるので、第4から第8のDFF7

2、73、74、75、76の出力は、第1のクロック信号43の1周期分ずつシフトして“ハイ”になり、第4から第8のDFF72、73、74、75、76はシフトレジスタとして動作する。

【0100】また時計出力手段4が出力する第2のクロック信号44は、禁止回路46を構成する第1のDFF64と第2DFF65とのクロック端子に入力することで、2入力アンド66の出力は、システムリセット信号で制御手段5がリセットされた直後の第2のクロック信号44の1周期分のだけ“ロウ”になる。

【0101】また禁止回路46を構成する第1の2入力アンド68は、第2のクロック信号44と2入力アンド66の出力とを入力しているため、システムリセット信号で制御手段5がリセットされた直後だけ、第2のクロック信号44の最初の1周期分だけ削除された信号を、周波数調整回路48を構成するダウンカウンタ70のクロック端子に出力する。

【0102】また周波数調整回路48を構成する第1から第4の3入力アンド79、80、81、82は、第4から第7のDFF72、73、74、75の出力と、第5から第8のDFF73、74、75、76の反転出力と、禁止回路46を構成する2入力アンド66の出力とを入力しているため、2入力アンド66の出力が“ハイ”で、第4から第8のDFF72、73、74、75、76の出力が“ハイ”の時に、“ハイ”の信号を出力する。

【0103】第4から第8のDFF72、73、74、75、76が前述のようにシフトレジスタとして動作することから、第1から第4の3入力アンド79、80、81、82は、第4から第7のDFF72、73、74、75の出力が“ハイ”に反転するときに、第1のクロック信号43の1周期分“ハイ”のパルスを出力する。

【0104】しかし、システムリセット信号で制御手段5がリセットされた直後は、禁止回路46を構成する2入力アンド66の出力は“ロウ”になっているので、第1から第4の3入力アンド79、80、81、82は、パルスを出力しない。

【0105】また第7のDFF75の出力が“ハイ”になると、昇圧制御回路47を構成する第2のSRFF69の出力は“ハイ”になり、第2の2入力アンド77の出力である第1の昇圧制御信号41は“ハイ”になり、第3の2入力アンド78の出力である第2の昇圧制御信号42は“ロウ”になり、図2に示す昇圧手段2を構成する第1の昇圧回路15を充電状態にし、第2の昇圧回路16を放電状態にする。

【0106】ダウンカウンタ70のクロック端子には、禁止回路46を構成する第1の2入力アンド68の出力が入力しているため、ダウンカウンタ70はダウンカウントを開始する。

【0107】ダウンカウンタ70の出力は、内部カウンタの出力がすべて“ロウ”になると“ロウ”から“ハイ”に反転し、ダウンカウンタ70の出力が“ハイ”になると、第3のDFF71の出力は“ロウ”になり、すると第4から第8のDFF72、73、74、75、76の出力は、第1のクロック信号43の1周期分ずつシフトして“ロウ”になる。

【0108】第5の3入力アンド83は、第7のDFF75の反転出力と第8のDFF76の出力とが入力しているため、第7のDFF75の出力が“ロウ”に反転するときに、第1のクロック信号43の1周期分“ハイ”のパルスを、3入力オア67を介してダウンカウンタ70のイネーブル端子に出力する。

【0109】ダウンカウンタ70はイネーブル端子に“ハイ”の信号が入力すると、システムリセット時のヘキサの“7”の値を内部のカウンタにプリセットし、ダウンカウンタ70の出力を“ロウ”にする。

【0110】また第7のDFF75の出力が“ロウ”になると、昇圧制御回路47を構成する第2の2入力アンド77の出力である第1の昇圧制御信号41は“ロウ”になり、第3の2入力アンド78の出力である第2の昇圧制御信号42は“ハイ”になり、図2に示す昇圧手段2を構成する第1の昇圧回路15を放電状態にして、第2の昇圧回路16を充電状態にして図1に示す蓄積手段3を充電する。

【0111】ダウンカウンタ70はクロック端子に入力する信号によって、ダウンカウントを再度開始し、内部カウンタの出力がすべて“ロウ”になると、ダウンカウンタ70の出力は“ロウ”から“ハイ”に反転し、ダウンカウンタ70の出力が“ハイ”になると、第3のDFF71の出力は“ハイ”になり、すると第4から第8のDFF72、73、74、75、76の出力は、第1のクロック信号43の1周期分ずつシフトして“ハイ”になる。

【0112】このとき禁止回路46を構成する2入力アンド66の出力は“ハイ”になっているので、第1から第4の3入力アンド79、80、81、82は、第1のクロック信号43の1周期分のパルス信号を順番に出力する。

【0113】第1の3入力アンド79の出力は、アップダウン制御回路45を構成する第1のSRFF50のリセット端子に入力し、第1のSRFF50の出力を“ロウ”にし、アップダウンカウンタ51をアップカウンタにセットする。

【0114】第2の3入力アンド80の出力は、図5に示す電圧検出制御信号18として電圧検出回路11を構成するNMOST39のゲート端子に入力して、NMOST39を導通することで、図2に示す昇圧手段2の第2の昇圧回路16を構成する第1の容量22に蓄積している電圧を、2つの抵抗37と38とで分圧し、その電

圧をコンパレータ40の反転入力端子に入力し、基準電圧発生回路10が出力する基準電圧と比較して、検出信号19をアップダウン制御回路45を構成する第1のSRFF50のセット端子に入力している。

【0115】図7に示す波形図では図示していないが、検出信号19は“ロウ”を出力し、第1のSRFF50の出力も“ロウ”になり、アップダウンカウンタ51をアップカウンタにセットしている。

【0116】第3の3入力アンド81の出力は、アップダウン制御回路45を構成するアップダウンカウンタ51のクロック端子に入力し、アップダウンカウンタ51の出力をヘキサの“8”する。

【0117】第4の3入力アンド82の出力は、3入力オア67を介してダウンカウンタ70のイネーブル端子に入力し、アップダウンカウンタ51が出力するヘキサの“8”をダウンカウンタ70の内部のカウントにプリセットする。

【0118】また第7のDFF75の出力が“ハイ”になると、昇圧制御回路47を構成する第2のSRFF69の出力は“ハイ”になり、第2の2入力アンド77の出力である第1の昇圧制御信号41は“ハイ”になり、第3の2入力アンド78の出力である第2の昇圧制御信号42は“ロウ”になり、図2に示す昇圧手段2を構成する第1の昇圧回路15を充電状態にし、第2の昇圧回路16を放電状態にして図1に示す蓄積手段3を充電する。

【0119】上記記載のような動作を繰り返すことで、第2の3入力アンド80が出力する電圧検出制御信号18で、昇圧手段2の第2の昇圧回路16を構成する第1の容量22の電圧と、基準電圧発生回路10が出力する基準電圧とを、電圧検出回路11を構成するコンパレータ40で比較し、その結果をアップダウン制御回路45を構成するアップダウンカウンタ51に設定して、昇圧手段2の第1の昇圧回路15と第2の昇圧回路16とを構成する容量の充放電の時間を制御している。

【0120】図8は本発明の実施例における電子時計の制御手段の信号の様子を示す波形図である。

【0121】図8(a)と図8(b)とに示す波形図は、図6に示す周波数調整回路48を構成する第1の3入力アンド79の出力であるアップダウン制御信号と、第2の3入力アンド80の出力である電圧検出制御信号18と、3入力オア67の出力であるイネーブル信号と、第3の3入力アンド81の出力であるアップダウン制御回路45を構成するアップダウンカウンタ51のクロック信号と、アップダウンカウンタ51のアップダウン信号と、昇圧制御回路47を構成する第2の2入力アンド77の出力である第1の昇圧制御信号41と、第3の2入力アンド78の出力である第2の昇圧制御信号42とを示している。

【0122】図8(a)は充放電の時間が長くなる様子

を示す波形図であり、図8(b)は充放電の時間が短くなる様子を示す波形図である。

【0123】図8(a)に示す波形図は、周波数調整回路48を構成する第2の3入力アンド80が電圧検出制御信号18を出力する時に、図2に示す昇圧手段2の第2の昇圧回路16を構成する第1の容量22の電圧が、図5に示す基準電圧発生回路10が出力する基準電圧より、絶対値で小さいときの波形図である。

【0124】図8(a)に示す波形図は、図5に示す電圧検出回路11を構成するコンパレータ40は常に“ロウ”を出力し、図6に示すアップダウン制御回路45を構成する第1のSRFF50も常に“ロウ”を出力し、アップダウンカウンタ51を常にアップカウンタにセットしている時の波形図である。

【0125】したがって、第1の昇圧制御信号41と第2の昇圧制御信号42とは、第2のクロック信号44の1周期分ずつ波形が増加している。

【0126】図8(b)に示す波形図は、周波数調整回路48を構成する第2の3入力アンド80が電圧検出制御信号18を出力する時に、図2に示す昇圧手段2の第2の昇圧回路16を構成する第1の容量22の電圧が、図5に示す基準電圧発生回路10が出力する基準電圧より、絶対値で大きいときの波形図である。

【0127】図8(b)に示す波形図は、図5に示す電圧検出回路11を構成するコンパレータ40は、電圧検出制御信号18が出力されたときに“ハイ”を出力し、図6に示すアップダウン制御回路45を構成する第1のSRFF50も、電圧検出制御信号18が出力されたときに“ハイ”を出力し、アップダウンカウンタ51を常にダウンカウンタにセットしている時の波形図である。

【0128】したがって、第1の昇圧制御信号41と第2の昇圧制御信号42とは、第2のクロック信号44の1周期分ずつ波形が減少している。

【0129】図9は本発明の実施例における電子時計の電源の発生電圧の変動にともなう充放電の様子を示す波形図である。

【0130】図9(a)と図9(b)とに示す波形図は、図6に示す周波数調整回路48を構成する第1の3入力アンド79の出力であるアップダウン制御信号と、昇圧制御回路47を構成する第2の2入力アンド77の出力である第1の昇圧制御信号41と、第3の2入力アンド78の出力である第2の昇圧制御信号42と、第2の3入力アンド80の出力である電圧検出制御信号18と、図2に示す昇圧手段2の第2の昇圧回路16を構成する第1の容量22の容量出力信号17とを示している。

【0131】図9(a)は電源の発生電圧が低いときに安定動作をしている様子を示す波形図であり、図9(b)は電源の発生電圧が高いときに安定動作をしている様子を示す波形図である。

【0132】図9(a)に示す波形図は、電源1の発生

電圧が低い場合、第2の昇圧回路16を構成する第1の容量22の容量出力信号17の電圧もゆっくり充電するために、基準電圧発生回路10が出力する基準電圧信号13の電圧に達するまでの時間が長くなっている様子を示している。

【0133】図9(b)に示す波形図は、電源1の発生電圧が高いため、第2の昇圧回路16を構成する第1の容量22の容量出力信号17の電圧も速やかに充電するために、基準電圧発生回路10が出力する基準電圧信号13の電圧に達するまでの時間が短くなっている様子を示している。

【0134】以上のように、図2に示す昇圧手段2の第1の昇圧回路15と第2の昇圧回路16とを交互に充電と放電とを繰り返して、第2の昇圧回路16を構成する第1の容量22の充電電圧を制御手段5を構成する電圧検出回路11で検出して、信号発生回路12によって昇圧を制御する第1の昇圧制御信号41と第2の昇圧制御信号42との周期あるいは周波数を増減することによって、第1の昇圧回路15と第2の昇圧回路16との第1の容量22と第2の容量23とを直列に接続して交互に蓄積手段3に供給することができる。

【0135】また蓄積手段3に充電される充電電圧が増加すると、逆流防止ダイオード6は逆バイアスされてカutoffし、時計出力手段4と電源1の低電位側である電源電圧とは電気的に分離し、時計出力手段4の駆動エネルギーはすべて蓄積手段3から供給されることになる。

【0136】本発明の蓄積手段3は、二次電池、特に正極にリチウム・マンガニン複合酸化物、負極にリチウム・チタン酸化物を用いたチタンリチウムイオン二次電池を使用する。チタンリチウムイオン二次電池は直径6.8mm、厚さ2.1mm、公称電圧1.5ボルト、電気容量1.2mAhであり、電池交換不要な電子時計に最適な蓄積手段である。

【0137】チタンリチウムイオン二次電池の電気容量は充電電圧に大きく依存し、電圧1.5ボルトから2.6ボルトが適しており、この範囲に充電電圧が入るように制御手段5の昇圧制御出力の周期あるいは周波数を変化して昇圧手段2を制御する。

【0138】本発明の蓄積手段3は、二次電池の他に、電気二重層容量等充電可能なものを使用することも可能である。電気二重層を採用するときは、充電にもなって電圧が上昇していくので、昇圧手段の充電電圧を増加させるために抵抗37、38の抵抗値を変えた分圧器の異なる分圧器を切り替えて用いる。

【0139】本発明の実施例では、制御手段5の電圧検出回路11の昇圧手段2の昇圧回路の充電電圧の検出レベルを1レベル設定して、蓄積手段3への充電電圧を制御しているが、昇圧手段2の検出電圧を2レベル設定して、蓄積手段3への充電電圧の上限と下限を設定するこ

とで、下限から昇圧動作を開始して、上限で昇圧の周期の制御することも可能である。

【0140】また本発明の実施例での昇圧手段2は2つの昇圧回路で構成しているが、3つ以上の昇圧回路で構成し、蓄積手段3への充電にはその内の1つの昇圧回路の第1の容量22と第2の容量23と直列に接続して充電用に用い、その他の昇圧回路は電源1から第1の容量22と第2の容量23とを並列に接続して充電する事で効率をより上げることが可能となる。

【0141】また本発明の実施例では、制御手段5のアップダウン制御回路45を構成する第1から第3のTBB58、59、60は、記憶素子として例えばMONOSやNMOSやフラッシュROMなどの不揮発性のメモリ素子を用いることで、仕様に応じてデータを書き換えることが可能な電子時計を提供することができる。

【0142】

【発明の効果】本発明の実施例によると、少なくとも2つの昇圧回路を有する昇圧手段の内1つの昇圧回路は充電するために電源に接続し、他の昇圧回路は電源から分離して蓄積手段に接続して蓄積手段を充電することで、電源の内部抵抗の影響をなくすることができ、抵抗値の減少と共に定時数も小さくなり、昇圧回路の充電電圧を蓄積手段に速やかに充電することができ、

【0143】また、昇圧手段の1つの昇圧回路が内部の容量を電源に並列に接続して充電している間、他の昇圧回路が放電のため蓄積手段へ接続するため、蓄積手段には常にどれか1つの昇圧回路がによって充電されるので蓄積手段の充電電圧の変動は小さくなる。

【0144】さらに、昇圧手段の1つの昇圧回路を蓄積手段への放電に用い、その他の昇圧回路は内部の容量を電源に並列にして充電し、制御手段の信号発生回路出力の電圧検出制御信号で充電後の昇圧回路の容量の電圧を制御手段の基準電圧発生回路の基準電圧と電圧検出回路で比較し、容量の電圧が基準値以上になると、信号発生回路の昇圧制御出力の周期を短く、あるいは周波数を高くし、容量の電圧が基準値以下になると、昇圧制御出力の周期を長く、あるいは周波数を低くして蓄積手段への充電電圧をほぼ一定に保つことが可能である。

【0145】さらに、昇圧手段の1つの昇圧回路を蓄積手段への放電に用い、その他の昇圧回路は内部の容量を電源に並列にして充電し、制御手段の信号発生回路出力の電圧検出制御信号で充電後の昇圧回路の容量の電圧を制御手段の基準電圧発生回路の基準電圧と電圧検出回路で比較し、容量の電圧が基準値以上になると、信号発生回路の昇圧制御出力の周期を短くし、容量の電圧が基準値以下になると、昇圧制御出力の周期を長くして蓄積手段への充電電圧を最適な値に設定できるため充電効率を高くすることが可能である。

【0146】したがって、比較的低い発生電圧で、発生電力も小さく、内部抵抗の大きい熱電式発電のような電

力をエネルギー源とする電源を用いても、本発明の実施例のような充電効率の良い昇圧回路を用いる電子時計を実現できる。

【図面の簡単な説明】

【図1】本発明の実施例における電子時計の回路構成を示すブロック図である。

【図2】本発明の実施例における電源と昇圧手段との内部構成を示す回路図である。

【図3】本発明の実施例における昇圧手段の第1の昇圧回路を充電し、第2の昇圧回路を放電する様子を示す図である。

【図4】本発明の実施例における昇圧手段の第1の昇圧回路を放電し、第2の昇圧回路を充電する様子を示す図である。

【図5】本発明の実施例における電子時計に用いる制御手段の構成を示す回路図である。

【図6】本発明の実施例における電子時計の制御手段を構成する信号発生回路の内部構成を示す回路図である。

【図7】本発明の実施例における電子時計の起動時の制御手段の信号の様子を示す波形図である。

【図8】本発明の実施例における電子時計の制御手段の信号の様子を示す波形図である。

【図9】本発明の実施例における電子時計の電源の発生

電圧の変動にともなう充電の様子を示す波形図である。

【図10】従来例の昇圧回路の回路構成を示す回路図である。

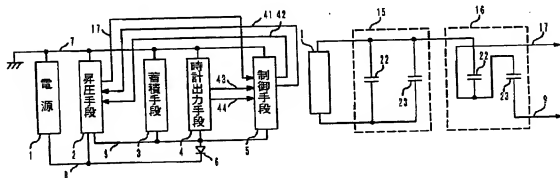
【図11】従来例の昇圧回路の各々の容量に電荷を蓄積する様子を示す等価回路である。

【図12】従来例の昇圧回路の昇圧出力容量に電荷を蓄積する様子を示す等価回路である。

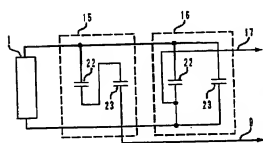
【符号の説明】

- 1 電源
- 2 昇圧手段
- 3 蓄積手段
- 4 時計出力手段
- 5 制御手段
- 6 逆流防止ダイオード
- 7 グランド信号
- 8 電源電圧信号
- 9 昇圧電圧信号
- 17 容量出力信号
- 41 第1の昇圧制御信号
- 42 第2の昇圧制御信号
- 43 第1のクロック信号
- 44 第2のクロック信号

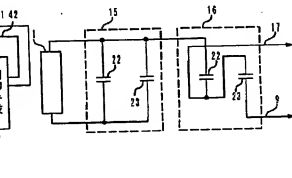
【図1】



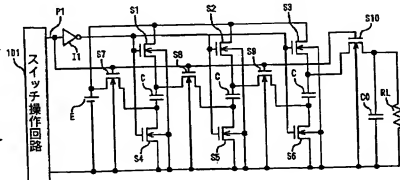
【図4】



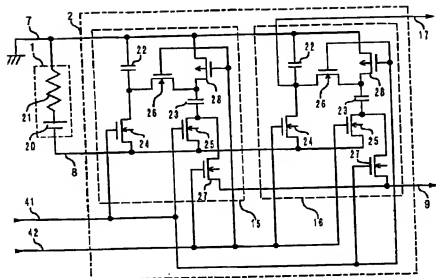
【図3】



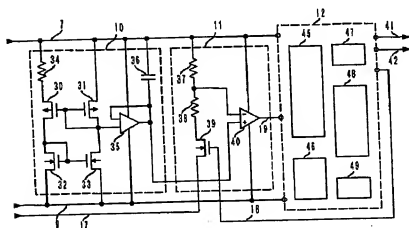
【図10】



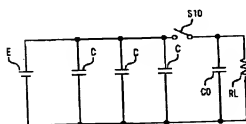
【圖2】



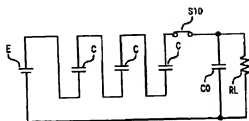
【图5】



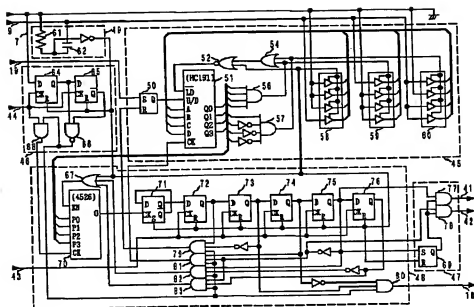
【图 11】



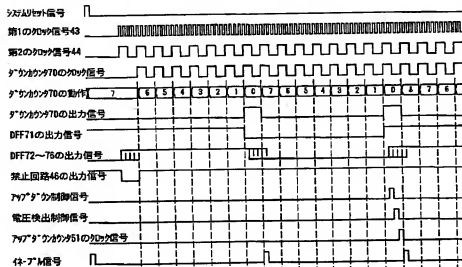
【图 12】



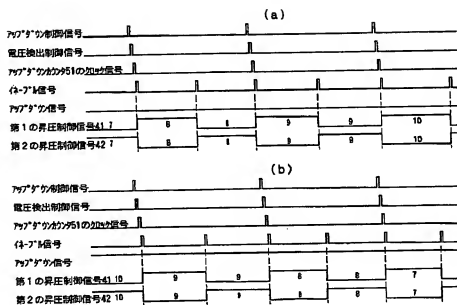
【図6】



【図7】



【図8】



【図9】

